



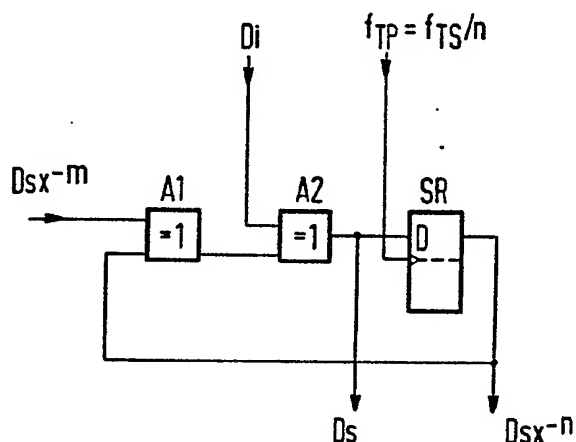
⑦1 Anmelder:
Siemens AG, 1000 Berlin und 8000 München, DE

⑦2 Erfinder:
Pospischil, Reginhard, Dipl.-Ing. Dr.-Ing., 8032
Gräfelfing, DE

Patentamt
Gräfelfing

⑤4 Selbstsynchronisierender Verwüfler (Scrambler)

Selbstsynchronisierender Verwüfler für hohe Bitraten mit einer Anzahl parallel arbeitender Verwüflerstufen, die jeweils die Reihenschaltung eines ersten und eines zweiten Modulo-2-Addierers und einer Schieberegisterstufe darstellen, wobei der Ausgang der Schieberegisterstufe auf einen Eingang des ersten Modulo-2-Addierers der eigenen Verwüflerstufe rückgekoppelt ist und der andere Eingang dieses Modulo-2-Addierers mit einer weiteren Verwüflerstufe verbunden ist.



Patentansprüche

1. Selbstsynchronisierender Verwürfler mit n getakteten Schieberegisterstufen zur Erzeugung eines Signals mit einer Verwürflerperiode von $2^n - 1$ Bit, wobei der Ausgang
- 5 wenigstens einer Schieberegisterstufe mit dem Eingang eines Modulo-2-Addierers verbunden ist, d a d u r c h g e k e n n z e i c h n e t , daß n parallele Eingänge für jeweils eines von n parallelen Bits des zu verwürfelnden digitalen Signals vorgesehen sind, daß die
- 10 Eingänge entsprechend der Folge der ankommenden Bits mit dem n -ten Bit am ersten Eingang und den folgenden Bits an den nächsten Eingängen geordnet und mit jeweils einer Verwürflerstufe verbunden sind, daß die Verwürflerstufen jeweils eine Schieberegisterstufe (SR) sowie einen ersten
- 15 und einen zweiten Modulo-2-Addierer (A1, A2) enthalten und der Ausgang der Schieberegisterstufe (SR) mit dem ersten Eingang des ersten Modulo-2-Addierers (A1) und dessen Ausgang mit dem ersten Eingang des zweiten Modulo-2-Addierers (A2) verbunden ist, daß der zweite
- 20 Eingang des zweiten Modulo-2-Addierers (A2) mit dem zugeordneten Eingang für das digitale Signal verbunden ist, daß der Ausgang des zweiten Modulo-2-Addierers (A2) mit dem Eingang der in der gleichen Verwürflerstufe enthaltenen Schieberegisterstufe (SR) verbunden ist, daß
- 25 bei allen Verwürflerstufen bis zur $(n-m+1)$ ten der zweite Eingang des ersten Modulo-2-Addierers (A1) der einen Verwürflerstufe mit dem Ausgang der Schieberegisterstufe der Verwürflerstufe für das m -te Bit verbunden ist, daß m kleiner n und ganzzahlig ist, daß bei der $(n-m)$ ten Verwürflerstufe die Verbindung vom zweiten Eingang des ersten
- 30 Modulo-2-Addierers zum Eingang der Schieberegisterstufe der n ten Verwürflerstufe erfolgt und entsprechend von der $(n-m-1)$ ten Verwürflerstufe zur $(n-1)$ ten Verwürflerstufe, daß wahlweise an den Eingängen oder an den Ausgängen der
- 35 Schieberegisterstufen die einzelnen Bits des verwürfelten

3403650

2
- 8 -

VPA 84 P 1064 DE

digitalen Signals entnehmbar sind und daß die Takteingänge der Schieberegisterstufen mit einer Quelle für ein Taktsignal verbunden ist, dessen Frequenz der $\frac{1}{n}$ -fache Teil der Bittaktfrequenz der digitalen Signale ist.

5

2. Selbstsynchronisierender Verwürfler nach Patentanspruch 1, d a d u r c h g e k e n n z e i c h n e t , daß 7 parallele Eingänge zum Anschluß an sieben Stufen-
ausgänge eines Serien-Parallel-Wandlers vorgesehen sind,
10 dessen Serieneingang mit der Quelle für die zu verwürfelnden digitalen Signale verbunden ist, daß jeder der parallelen Eingänge (Di1 ... Di7) mit einer von 7 Verwürflerstufen (VS1 ... VS7) verbunden ist, daß der
15 zweite Eingang des ersten Modulo-2-Addierers der siebten Verwürflerstufe (VS7) mit dem Ausgang des zweiten Modulo-2-Addierers der ersten Verwürflerstufe (VS1) verbunden ist, daß sieben parallele Ausgänge für das verwürfelte
digitale Signal mit einer Verwürflerperiode von (2^7-1) Bit vorgesehen sind, die jeweils getrennt mit den Ausgängen
20 der Schieberegisterstufen (SR) der einzelnen Verwürflerstufen verbunden sind und daß die Schieberegisterstufen mit einer Quelle für ein Taktsignal mit einer Frequenz entsprechend $\frac{1}{7}$ der Bittaktfrequenz der zu verwürfelnden digitalen Signale verbunden sind.

25

3. Selbstsynchronisierender Verwürfler nach Patentanspruch 1 , d a d u r c h g e k e n n z e i c h n e t , daß 5 parallele Eingänge zu parallelen Verarbeitungen
von 5 Bit des zu verwürfelnden digitalen Signals vorgesehen sind, daß die 5 parallelen Eingänge jeweils getrennt mit einer von 5 Verwürflerstufen (VSK1 ... VSK5)
30 verbunden sind, daß der zweite Eingang des ersten Modulo-2-Addierers der ersten Verwürflerstufe (VSK1) mit dem Ausgang der Schieberegisterstufe der dritten Verwürflerstufe (VSK3) verbunden ist, daß der zweite Eingang
35 des ersten Modulo-2-Addierers der zweiten Verwürflerstufe (VSK2) mit dem Ausgang der Schieberegisterstufe der vierten Verwürflerstufe (VSK4) verbunden ist, daß der

3403650

3
- 5 -

VPA

84 P 1064 DE

zweite Eingang des ersten Modulo-2-Addierers der dritten
Verwürflerstufe (VSK3) mit dem Ausgang der Schieberegister-
stufe der fünften Verwürflerstufe (VSK5) verbunden ist, daß
der zweite Eingang des ersten Modulo-2-Addierers der
5 vierten Verwürflerstufe (VSK4) mit dem Eingang der Schiebe-
registerstufe der ersten Verwürflerstufe (VSK1) ver-
bunden ist, daß der zweite Eingang des ersten Modulo-2-
Addierers der fünften Verwürflerstufe (VSK5) mit dem
Eingang der Schieberegisterstufe der zweiten Verwürfler-
10 stufe (VSK2) verbunden ist und daß die Schieberegisterstufen
mit einer Quelle für ein Taktsignal mit einer Frequenz
entsprechend $\frac{1}{5}$ der Bittaktfrequenz der zu verwürfeln-
digitalen Signale verbunden sind.

3403650

Siemens Aktiengesellschaft
Berlin und München

4

Unser Zeichen
VPA 84 P 1064 DE

5 Selbstsynchronisierender Verwürfler (Scrambler)

Die Erfindung betrifft einen selbstsynchronisierenden Verwürfler entsprechend dem Oberbegriff des Anspruchs 1.

- 10 Bei der digitalen Signalübertragung können Impulsmuster auftreten, die einen störenden Gleichstromanteil aufweisen oder deren Energieanteil bei bestimmten diskreten Frequenzen besonders hoch ist. Zur Vermeidung dieser Impulsmuster wird das zu übertragende digitale Signal
15 durch Modulo-2-Addition mit einer Pseudozufallsfolge sendeseitig verwürfelt. Empfangsseitig erfolgt durch eine weitere Modulo-2-Addition mit der bereits sendeseitig verwendeten Pseudozufallsfolge die Entwürfelung. Die dabei notwendige Synchronisierung der sendeseitig
20 und empfangsseitig verwendeten Pseudozufallsgeneratoren kann durch Verwendung freilaufender und damit selbstsynchronisierender Verwürfler- und Entwürfleranordnungen umgangen werden.
- 25 Der Ausbau des digitalen Fernmeldenetzes führt dazu, zwischen zentralen Punkten dieses Netzes Übertragungseinrichtungen für Signale sehr hoher Schrittgeschwindigkeit zu installieren. Daraus ergibt sich die Notwendigkeit, Verwürfler und Entwürfler für digitale Signale
30 hoher Taktfrequenz aufzubauen.

Aus den Siemens Forschungs- und Entwicklungsberichten Band 6 (1977) Nr. 1, Seiten 1 bis 5 ist eine Möglichkeit bekannt, Verwürfler für PCM-Signale hoher Takt-
35 frequenz aufzubauen. Die PCM-Signale hoher Bitfolge werden dabei in mehreren parallelen Kanälen mit niedrigerer Bitfolgefrequenz verwürfelt und die entstandenen Signale durch Multiplexen zusammengefaßt. Analog dazu ist die

Empfangsseite aufgebaut, bei der sich an einen Demultiplexer die parallele Entwürfelung in mehreren Kanälen anschließt. Damit ergibt sich neben dem hohen Aufwand die Notwendigkeit, Multiplexer und Demultiplexer miteinander zu synchronisieren.

Die Aufgabe bei der vorliegenden Erfindung besteht darin, einen auch für die Übertragung digitaler Signale hoher Bitfolgefrequenz geeigneten selbstsynchronisierenden Verwürfler zu finden, der bei vergleichsweise geringerem Aufwand auf eine Multiplexeinrichtung verzichtet.

Erfindungsgemäß wird die Aufgabe bei einem selbstsynchronisierenden Verwürfler der eingangs genannten Art durch die im Kennzeichen des Patentanspruchs 1 enthaltenen Merkmale gelöst.

Besonders vorteilhaft bei der erfindungsgemäßen Lösung ist der auch bei längeren Verwürflern übersichtliche Aufbau aus rein digitalen Gliedern, der eine Integration wesentlich erleichtert. Bevorzugte Weiterbildungen des erfindungsgemäßen Verwürflers zur Erzeugung von Signalen mit einer Verwürflerperiode $2^7 = 127$ Bit oder von $2^5 = 31$ Bit sind in den Patentansprüchen 2 und 3 näher beschrieben.

Die Erfindung soll im folgenden anhand der Zeichnung näher erläutert werden.

In der Zeichnung zeigt

Fig. 1 die Schaltung einer einzelnen Verwürflerstufe,
Fig. 2 die Schaltung eines siebenstufigen Verwürflers
und
Fig. 3 die Schaltung eines fünfstufigen Verwürflers.

Die in der Fig. 1 dargestellte Verwürflerstufe ist Teil eines n-stufigen Verwürflers. Die Verwürflerstufe enthält einen ersten und einen zweiten Modulo-2-Addierer

A1, A2 sowie eine Schieberegisterstufe SR und dient zur Verwürfelung des nten Bits des digitalen Signals, so daß am Ausgang der Schieberegisterstufe SR das entsprechende verwürfelte Bit $D_s \cdot x^{-n}$ abgegeben wird. Der
5 Ausgang der Schieberegisterstufe SR ist außerdem mit dem ersten Eingang des ersten Modulo-2-Addierers A1 verbunden, während dessen zweiter Eingang mit dem Ausgang der Schieberegisterstufe SR derjenigen Verwürflerstufe verbunden ist, die das mte Bit verwürfelt und ein
10 entsprechendes Ausgangssignal $D_s \cdot x^{-m}$ erzeugt. Der Ausgang des ersten Modulo-2-Addierers ist mit dem ersten Eingang des zweiten Modulo-2-Addierers A2 verbunden, an dessen zweiten Eingang ein Bit des zu verwürfelnden digitalen Signals D_i anliegt. Am Ausgang des zweiten Mo-
15 dulo-2-Addierers ist das verwürfelte digitale Signal D_s entnehmbar. Dieses Signal steht eine Taktperiode später auch am Ausgang der Schieberegisterstufe SR an. Die Schieberegisterstufe SR wird dabei mit einem Taktsignal F_{Tp} , dem sogenannten Schiebetakt beaufschlagt, der sich
20 aus dem Bittakt der zu verwürfelnden digitalen Signale geteilt durch die Anzahl n der gleichzeitig parallel verarbeiteten Bits ergibt.

Für die Verwürfelung digitaler Signale werden eine Anzahl Verwürflerstufen entsprechend Figur 1 zusammen-
25 geschaltet. Die Eingänge D_i und die Ausgänge D_s liegen dabei parallel, so daß für eine serielle Übertragung dem Verwürfler ein Serien-Parallel-Wandler vorzuschalten und ein Parallel-Serien-Wandler nachzuschalten
30 ist. Die Serien-Parallel-Wandlungen für Scrambler und Descrambler und auch die entsprechenden Parallel-Serien-Wandlungen müssen dabei nicht bitsynchron erfolgen, auch eine Wortsynchronisation zwischen Scrambler und Descrambler ist nicht erforderlich. Die Anzahl der
35 parallelen Bitströme ist nach dem jeweiligen Anwendungsfall zu optimieren. Erfolgt zum Beispiel nach der Ver-

würfelung eine Codeumsetzung, die eine Serien-Parallel-Wandlung voraussetzt, beispielsweise eine 4B3T- oder 5B6B Codewandlung, dann sind entsprechend im ersten Falle 4 und im zweiten Falle 5 parallele Bitströme zu
 5 verwürfeln. Die ohnehin vorhandenen Wandler erleichtern dann sende- und empfangsseitig den Einsatz der erfindungsgemäßen Parallelverwürfler. Durch die parallele Verwürfelung mit einem Bruchteil des ursprünglichen Bittaktes verringert sich die Verarbeitungsgeschwindigkeit
 10 so, daß in der Regel auf eine einfachere und damit billigere Halbleitertechnologie ausgewichen werden kann. Für eine bestimmte Verwürflerperiode benötigt ein parallel arbeitender Verwürfler die gleiche Anzahl von Schieberegisterstufen wie ein seriell arbeitender Ver-
 15 würfler, die Anzahl der erforderlichen Modulo-2-Addierer ist beim parallelen Verwürfler allerdings höher.

In der Fig. 2 ist ein aus sieben Verwürflerstufen nach der Fig. 1 aufgebauter selbstsynchronisierender Ver-
 20 würfler dargestellt. Durch die Kettenschaltung ergibt sich eine maximal lange Bitfolge mit einer Verwürflerperiode von $2^{7-1} = 127$ Bit. Bei einer Schieberichtung von links nach rechts folgen von links nach rechts die Verwürflerstufen für das Bit n , also das siebte Bit, das sechste,
 25 ... dritte, zweite, erste Bit. Betrachtet man eine Stufe l mit $1 < l < n$, dann hat die erste Stufe links der betrachteten Stufe l am Digitalsignalausgang D_s das Signal $D_s \cdot x^{+1}$ und am Ausgang des als Schieberegisterstufe verwendeten D-Flipflops das Signal $D_s \cdot x^{1-n}$. Entsprechend
 30 hat die zweite Stufe links die Signale $D_s \cdot x^2$ bzw. $D_s \cdot x^{2-n}$. An den entsprechenden Ausgängen der ersten Stufe rechts der betrachteten Stufe l stehen umgekehrt die Signale $D_s \cdot x^{-1}$ und $D_s \cdot x^{-1-n}$. Beim Verwürfler nach der Fig. 2 sind $n-7$ und $m = n-1$.

- Der Eingang $Ds \cdot x^{-m}$ ist mit einem Ausgang $Ds \cdot x^{-6}$ verbunden, das ist jeweils der Ausgang des D-Flipflops der links vorausgegangenen Stufe, wobei die siebente und letzte Stufe wiederum an die erste Stufe angeschlossen ist. Im
- 5 Gegensatz zur Fig. 1 sind hier als Verwürflerausgänge nicht die Eingänge sondern die Ausgänge der Schieberegisterstufen verwendet, so daß das Ausgangssignal um eine Taktperiode des Verwürflers verschoben erscheint, dabei jedoch nochmals die getaktete Schieberegisterstufe durch-
- 10 läuft und dadurch frei von Impulsspitzen ist. Der zweite Eingang des ersten Modulo-2-Addierers der siebten Verwürflerstufe VS7 ist hier abweichend zu allen anderen Verwürflerstufen nicht mit dem Ausgang sondern mit dem Eingang der Schieberegisterstufe der ersten Verwürfler-
- 15 stufe VS1 verbunden. Die als Schieberegisterstufen verwendeten D-Flipflops werden mit einem Taktsignal beaufschlagt, dessen Frequenz gleich $1/7$ der Taktfrequenz der zu verwürfelnenden digitalen Signale ist.
- 20 In Fig. 3 ist ein fünfstufiger Verwürfler dargestellt, bei dem $n = 5$ und $m = n - 2 = 3$ ist. Die einzelnen Verwürflerstufen VSK1 ... VSK5 entsprechen der in der Fig. 1 dargestellten Verwürflerstufe, wobei das verwürfelte Signal nach Durchlaufen der einzelnen Schieberegisterstufe analog der in der Fig. 2 gezeigten Weise
- 25 am Ausgang dieser Schieberegisterstufe abgenommen wird. Zur Erzeugung einer maximal langen Pseudozufallsfolge, also einer maximalen Verwürflerperiode wurde $m = 3 = n - 2$ gewählt. Dementsprechend ist der zweite Eingang des
- 30 ersten Modulo-2-Addierers der einzelnen Verwürflerstufe entweder mit dem Schieberegisterausgang der jeweils zweiten Stufe links von der Verwürflerstufe oder mit dem Eingang der Schieberegisterstufe der dritten Verwürflerstufe rechts von der betrachteten Verwürflerstufe
- 35 verbunden werden. Es gilt also auch hier die allgemeine Regel, daß bei allen Verwürflerstufen bis zur $(n-m+1)$ ten der zweite Eingang des ersten Modulo-2-Addierers der einen

- Verwürflerstufe mit dem Ausgang der Schieberegisterstufe der Verwürflerstufe für das mte Bit verbunden ist, wobei m kleiner als n und ganzzahlig ist. Ab der $(n-m)$ ten Verwürflerstufe erfolgt dann die Verbindung vom zweiten
- 5 Eingang des ersten Modulo-2-Addierers zum Eingang der Schieberegisterstufe der mten Verwürflerstufe, entsprechend bei der $(n-m-1)$ ten Verwürflerstufe erfolgt die Verbindung zur Schieberegisterstufe der $(n-1)$ ten Verwürflerstufe entsprechend.
- 10 Damit der Verwürfler nicht in eine unerwünschte Kurzperiode fällt, kann jeweils zwischen erstem und zweitem Modulo-2-Addierer ein dritter Modulo-2-Addierer eingefügt werden, dessen freier Eingang mit einer Erkennungsschaltung für die Kurzperioden verbunden ist.
- 15 Durch die Abnahme des verwürfelten Signals am Ausgang der Schieberegisterstufe erfolgt auch hier eine Unterdrückung von Impulsspitzen. Das Schiebe-Taktsignal T_2 für die als Schieberegisterstufen verwendeten D-Flipflops wird durch Frequenzteilung erzeugt, wobei die
- 20 Frequenz des Schiebetaktes T_2 ein Fünftel der Bittaktfrequenz der zu verwürfelnden digitalen Signale ist.

~~3 Patentansprüche~~

~~3 Figuren~~

10

- Leerseite -

Nummer:
Int. Cl.³:
Anmeldetag:
Offenlegungstag:

34 03 650
H 03 M 5/00
2. Februar 1984
8. August 1985

-13-
1/3

84 P 1 0 6 4 DE

INACHT

FIG 1

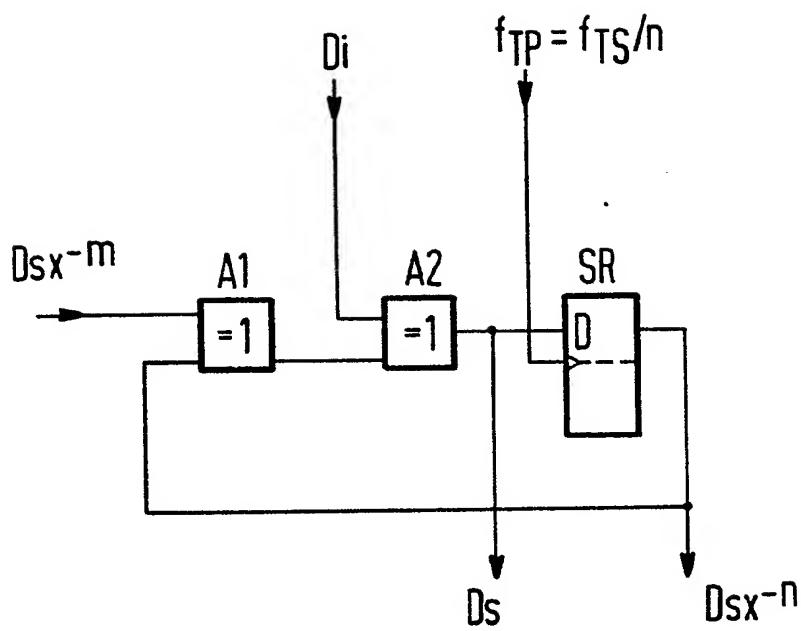
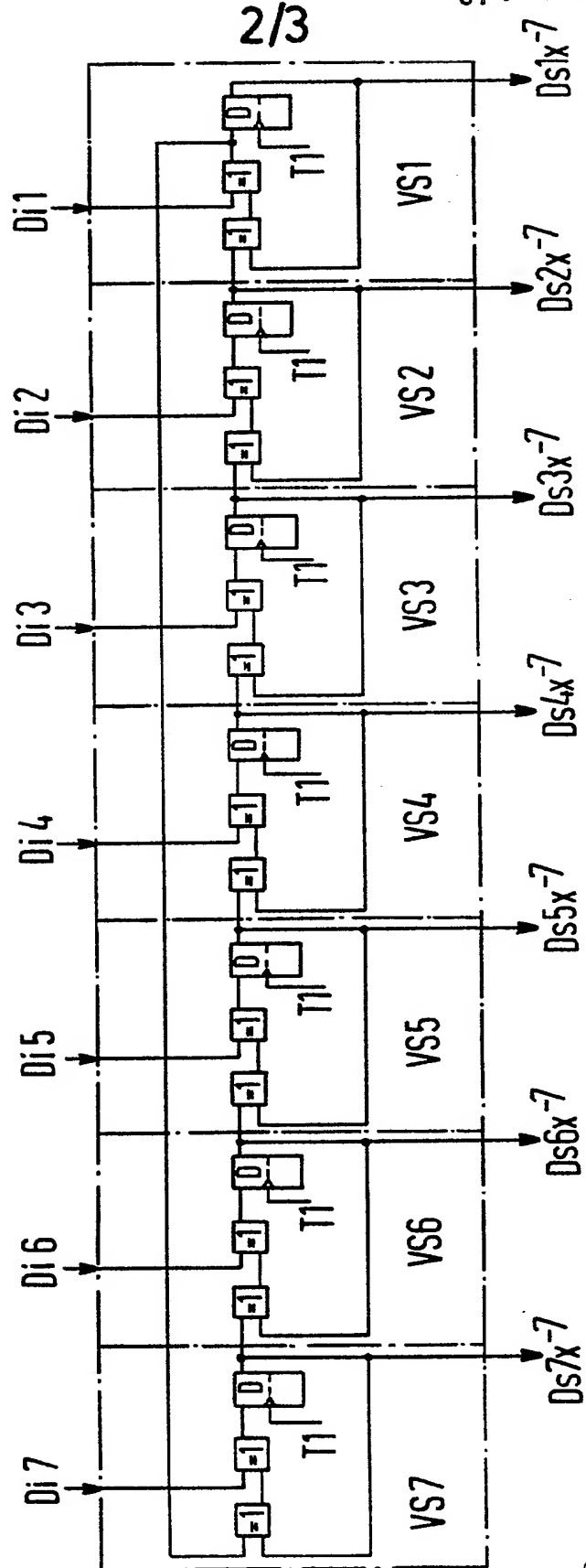


FIG2



3403650

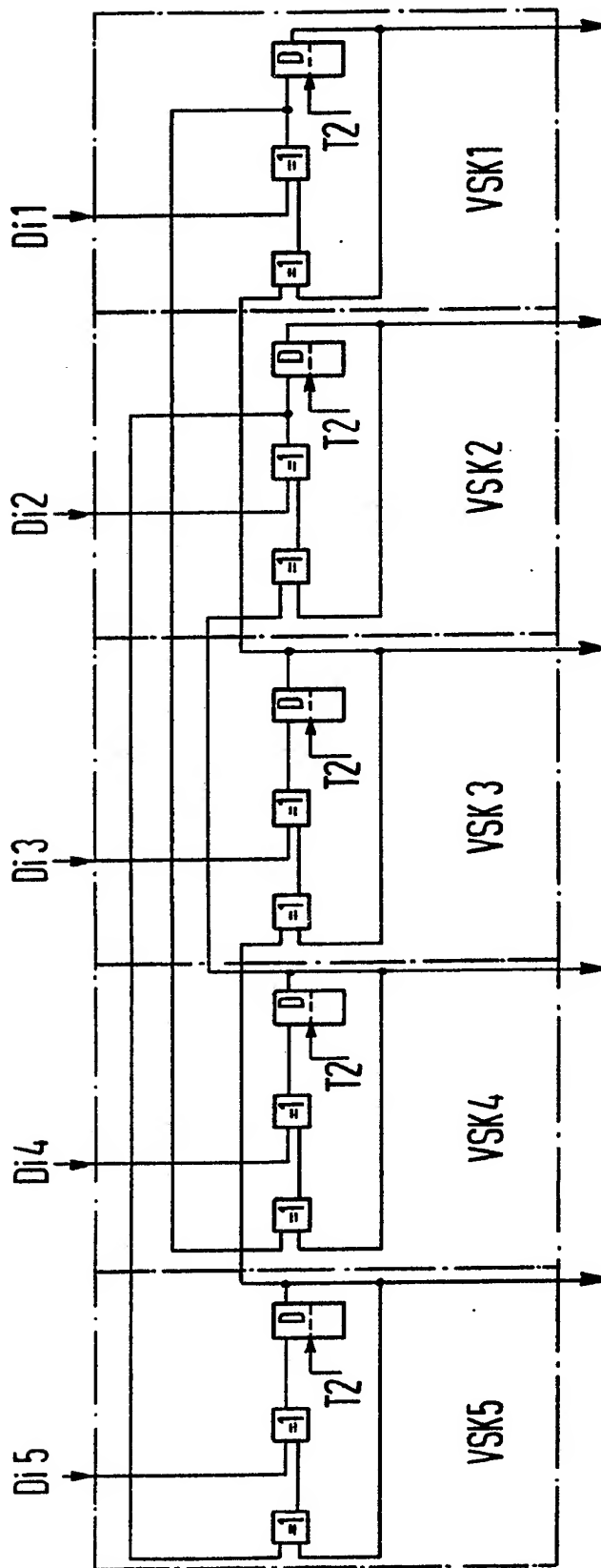
-12-

3/3

84 P 1064 DE

NACHGEREICHT

FIG 3



[54] **SELF-SYNCHRONIZING SCRAMBLER**

[75] **Inventor:** Reginhard Pospischil, Gräfelting,
Fed. Rep. of Germany

[73] **Assignee:** Siemens Aktiengesellschaft, Berlin
and Munich, Fed. Rep. of Germany

[*] **Notice:** The portion of the term of this patent
subsequent to May 26, 2004 has been
disclaimed.

[21] **Appl. No.:** 784,684

[22] **PCT Filed:** Feb. 1, 1985

[86] **PCT No.:** PCT/DE85/00027

§ 371 Date: Sep. 25, 1985

§ 102(e) Date: Sep. 25, 1985

[87] **PCT Pub. No.:** WO85/03612

PCT Pub. Date: Aug. 15, 1985

[30] **Foreign Application Priority Data**

Feb. 2, 1984 [DE] Fed. Rep. of Germany 3403650

[51] **Int. Cl.⁴** H04K 1/02; H04L 9/04

[52] **U.S. Cl.** 380/43; 380/44;
380/46; 380/47

[58] **Field of Search** 178/22.14, 22.17, 22.19;
380/33, 36, 37, 42, 43, 44, 48, 49, 50, 46, 47

[56] **References Cited**

FOREIGN PATENT DOCUMENTS

2410921 6/1979 France .

1591805 6/1981 United Kingdom .

OTHER PUBLICATIONS

"Parallel arbeitende Scrambler, Descrambler und Zufallsfolgen-Generation", Elektronik Arbeitsblatt Nr. 163, pp. 67-70, 12/30/83.

Möhrmann, K. H., "Realisierung von Scramblern für PCM Signale hoher Taktfrequenz", Siemens Forsch—u (see p. 2).

Hermes et al., "Parallel arbeitende Scrambler, Descrambler und Zufallsfolgen-Generatoren", (see p. 2). Entwickl.—Ber., vol. 6, No. 1, 1977, pp. 1-5.

Elektronik, vol. 32, No. 26, Dec. 1983, pp. 67-70.

Primary Examiner—Stephen C. Buczinski

Assistant Examiner—Bernarr Earl Gregory

[57] **ABSTRACT**

A self-synchronizing scrambler for high bit rates comprises a plurality of scrambler stages operating in parallel and which respectively represent the series connection of a first modulo-2 adder and a second modulo-2 adder and a shift register stage, whereby the output of the shift register stage is fed back to the input of the first modulo-2 adder of its own scrambler stage and the other input of the first modulo-2 adder is connected to a further scrambler stage.

3 Claims, 3 Drawing Sheets

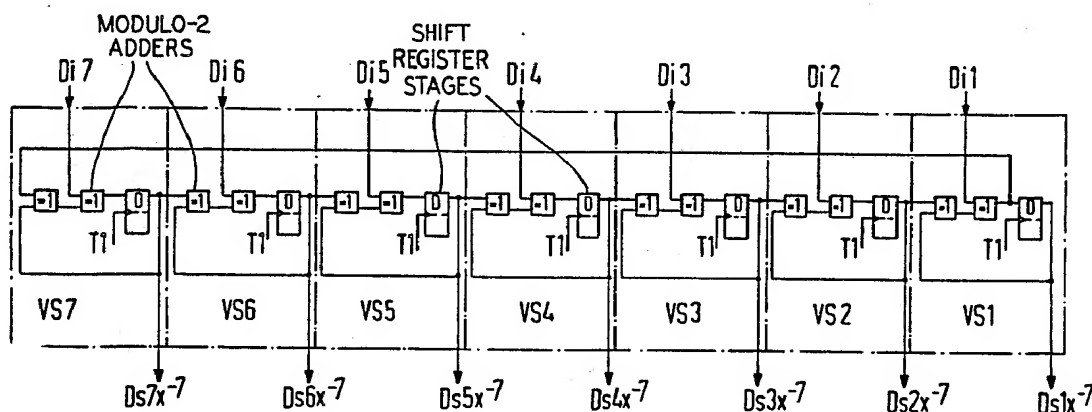
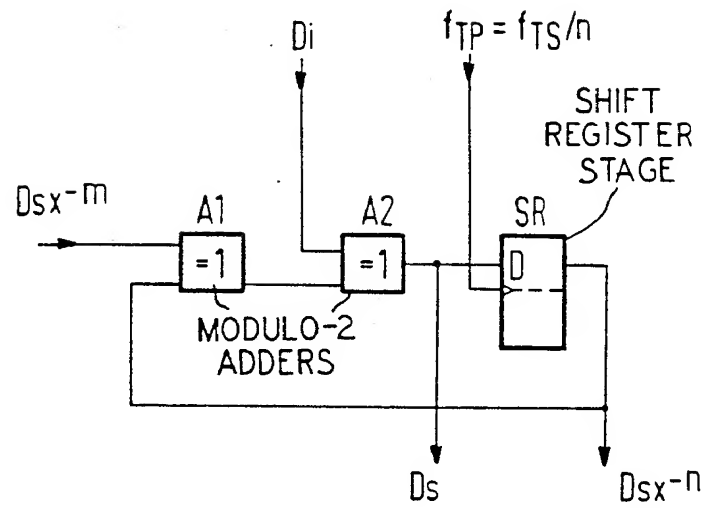


FIG 1



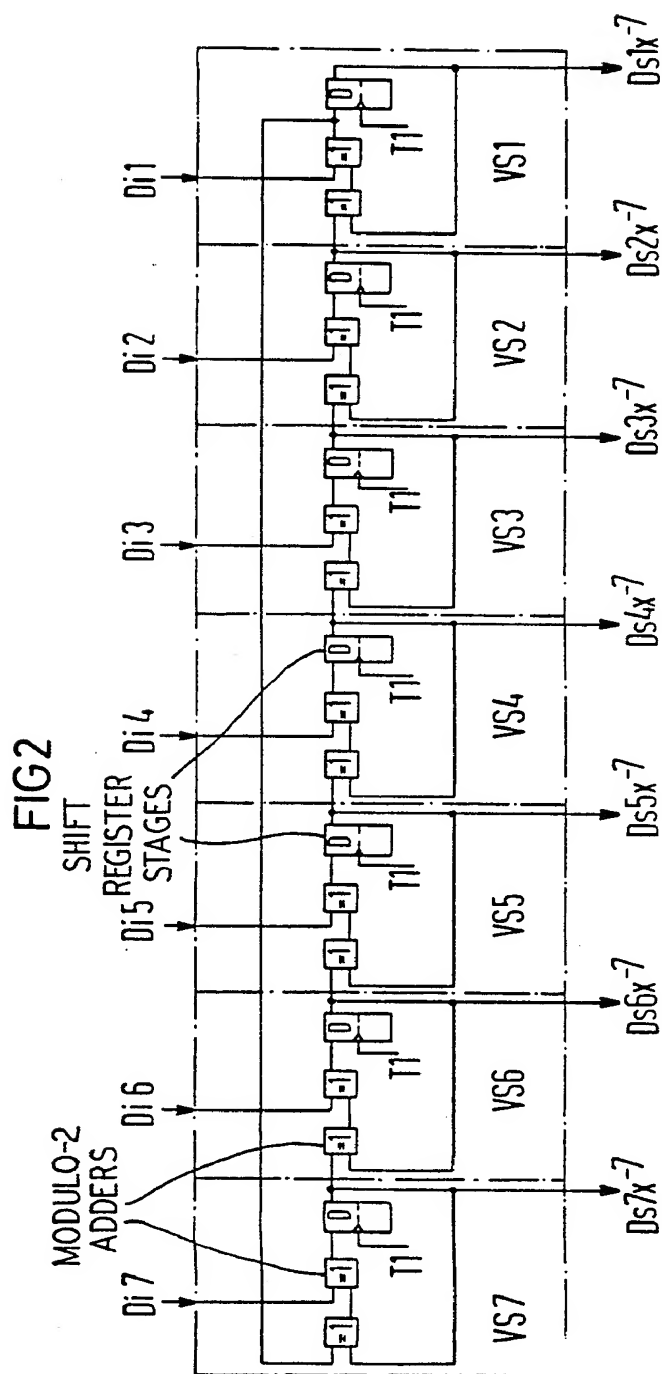
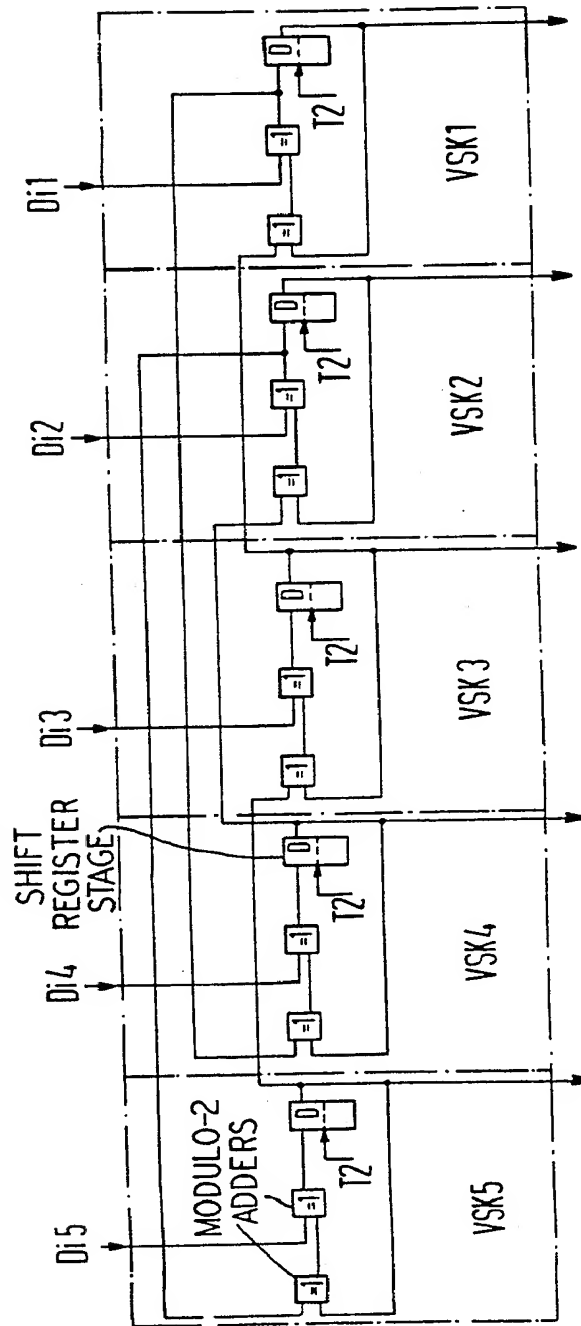


FIG 3



SELF-SYNCHRONIZING SCRAMBLER

CROSS REFERENCE TO RELATED APPLICATION

This application is related to application Ser. No. 784,685 filed Sept. 25, 1985.

BACKGROUND OF THE INVENTION

1. Field of the Invention

The present invention relates to a self-synchronizing scrambler which comprises n clock shift register stages for generating a signal having a scrambler period of $2^n - 1$ bits, whereby the output of at least one shift register stage is connected to the input of a modulo-2 adder.

2. Description of the Prior Art

Pulse patterns which have a disturbing DC component or whose energy component is particularly high at certain discrete frequencies can occur in digital signal transmission. In order to avoid these pulse patterns, the digital signal to be transmitted is scrambled at the transmitting side by a modulo-2 addition with a pseudo-random sequence. The descrambling occurs at the receiving side by a further modulo-2 addition with the pseudo-random sequence which was employed at the transmitting side. The synchronization of the pseudo-random generators employed at the transmitting and receiving sides, which is thereby necessary, can be avoided by employing free-wheeling and, therefore, self-synchronizing scrambler and descrambler arrangements.

The expansion of digital telecommunications networks has lead to the installation of transmission devices for signals having very high modulation rates between central points of the network. Resulting therefrom, however, is the necessity of constructing scramblers and descramblers for digital signals having a high clock frequency.

"Siemens Forschungs-und Entwicklungsberichte", Vol. 6, No. 1, 1977, pp. 1-5, fully incorporated herein by this reference, discloses a possibility for constructing scramblers for pulse code modulated (PCM) signals having a high clock frequency. The PCM signals having a high bit sequence are scrambled in a plurality of parallel channels having a lower bit repetition frequency and the signals which arise are combined by multiplexing. The receiving side is constructed in an analogous manner, the parallel descrambling occurring in a plurality of channels following a demultiplexer. In addition to the high expense, the necessity of synchronizing multiplexers and demultiplexers with one another therefore also arises.

SUMMARY OF THE INVENTION

The object of the present invention is to provide a suitable self-synchronizing scrambler for the transmission of digital signals having a high bit repetition frequency which, given relatively low expense, omits multiplexing devices.

In a self-synchronizing scrambler of the type initially set forth, the above object is achieved, according to the present invention in a self-synchronizing scrambler which is characterized in that n parallel inputs for each of n parallel bits of the digital signal to be scrambled are provided; in that the inputs are ordered corresponding to the sequence of the incoming bits with the n^{th} bit at the first input and the following bits at the next inputs and are connected to respective scrambler stages; in that the scrambler stages respectively contain a shift

register stage as well as a first modulo-2 adder and a second modulo-2 adder and the output of the shift register stage is connected to the first input of the first modulo-2 adder and its output is connected to the first input of the second modulo-2 adder; in that the second input of the second modulo-2 adder is connected to the assigned input for the digital signal; and in that the output of the second modulo-2 adder is connected to the input of the shift register stage contained in the same scrambler stage. Furthermore, the invention is characterized in that the second input of the first modulo-2 adder of the one scrambler stage is connected to the output of the shift register stage of the scrambler stage for the m^{th} bit in all scrambler stages up to the $(n-m+1)^{\text{th}}$ scrambler stage; in that m is smaller than n and is a whole number; in that, in the $(n-m)^{\text{th}}$ scrambler stage, the connection from the second input of the first modulo-2 adder occurs to the input of the shift register stage of the n^{th} scrambler stage and, correspondingly, from the $(n-m-1)^{\text{th}}$ scrambler stage to the $(n-1)^{\text{th}}$ scrambler stage; in that the individual bits of the scrambled digital signal can be optionally taken at the inputs or at the outputs of the shift register stages; and in that the clock inputs of the shift register stages are connected to a source for a clock signal whose frequency is the $1/7$ -fold portion of the bit clock frequency of the digital signal.

Particularly advantageous, given the solution provided by the present invention, is the structure of purely digital elements even given longer scramblers, this significantly facilitating integrated construction. Preferred developments of a scrambler constructed in accordance with the invention for generating signals having a scrambler period $2^7 - 1 = 127$ bits or of $2^5 - 1 = 31$ bits are set forth in greater detail below.

BRIEF DESCRIPTION OF THE DRAWINGS

Other objects, features and advantages of the invention, its organization, construction and operation will be best understood from the following detailed description, taken with the accompanying drawings, on which:

FIG. 1 is a circuit diagram of an individual scrambler stage;

FIG. 2 is a circuit diagram of a seven-stage scrambler; and

FIG. 3 is a circuit diagram of a five-stage scrambler.

DESCRIPTION OF THE PREFERRED EMBODIMENTS

The scrambler stage illustrated in FIG. 1 is a portion of an n -stage scrambler. The scrambler stage comprises a first modulo-2 adder A1 and a second modulo-2 adder A2, as well as a shift register stage SR, and serves for scrambling the n^{th} bit of a digital signal so that the corresponding, scrambled bit $Ds \cdot x^{-n}$ is output at the output of the shift register stage SR. The output of the shift register stage SR is also connected to the first input of the first modulo-2 adder A1, whereas its second input is connected to the output of the shift register stage SR of the scrambler stage which scrambles the m^{th} bit and generates a corresponding output signal $Ds \cdot x^{-m}$. The output of the first modulo-2 adder A1 is connected to the first input of the second modulo-2 adder A2, at whose second input a bit of the digital signal D_i to be scrambled is applied. The scrambled digital signal Ds can be taken at the output of the second modulo-2 adder A2. This signal is also available at the output of the shift

3

register stage SR one clock period later. The shift register stage SR is thereby charged with a clock signal F, the so-called shift clock, which derives from the bit clock of the digital signal to be scrambled divided by the number n of bits simultaneously processed in parallel.

A plurality of scrambler stages constructed in accordance with FIG. 1 are interconnected for scrambling digital signals. The inputs D_i and the outputs D_s thereby lie in parallel so that a series-to-parallel converter is to be connected preceding the scrambler and a parallel-to-series converter is to be connected following the scrambler for serial transmission. The series-to-parallel conversions for scrambling and descrambling and the corresponding parallel-to-series conversions thereby do not require bit synchronization; word synchronization between the scrambler and the descrambler is likewise not required. The number of parallel bit streams is to be optimized in accordance with the respective use. When, for example, a code conversion occurs after scrambling, the code conversion presuming a series-to-parallel conversion, for example a 4B3T or 5B6B code conversion, then four parallel bit streams are to be correspondingly scrambled in the first case and five parallel bit streams are to be correspondingly scrambled in the second case. The converters which are already present then facilitate the use of the parallel scramblers of the invention at the transmitting side and at the receiving side. Due to the parallel scrambling with a fraction of the original bit clock, the processing speed is diminished such that one can usually shift to a more simple and, therefore, less expensive semiconductor technology. For a defined scrambler period, a scrambler operating in parallel requires the same number of shift register stages as the scrambler operating serially; the number of modulo-2 adders required is higher, however, given the parallel scrambler.

FIG. 2 illustrates a self-synchronizing scrambler constructed of seven of the scrambler stages illustrated in FIG. 1. A maximally long bit sequence having a scrambler period of $2^7 - 1 = 127$ bits derives due to the chained circuit. Given a shift direction from left to right, the scrambler stages for the bit n , i.e. the seventh bit, for the sixth, . . . third, second, first bit follow from left to right. When one considers a stage L having $T < L < n$, then the first stage to the left of the stage L under consideration has the signal $D_s \cdot x^{+1}$ at the digital signal output D_s and has the signal $D_s \cdot x^{1-n}$ at the output of the D flip-flop employed as the shift register stage. Correspondingly, the second stage toward the left has the signals $D_s \cdot x^2$ and, respectively, $D_s \cdot x^{2-n}$. Inversely, the signals $D_s \cdot x^{-1}$ and $D_s \cdot x^{1-n}$ appear at the corresponding outputs of the first stage to the right of the stage L under consideration. Given the scrambler of FIG. 2, $n=7$ and $m=n-1$ apply.

The input $D_s \cdot x^{-m}$ is connected to an output $D_s \cdot x^{-6}$ that is the respective output of the D flip-flop of the stage preceding at the left, whereby the seventh and last stage is again connected to the first stage. In contrast to FIG. 1, it is not the inputs, but the outputs, of the shift register stages which are employed here as scrambler outputs, so that the output signal appears shifted by one clock period of the scrambler, thereby, however, again traverse the clocked shift register stage and, therefore, being free of pulse peaks. Differing from all other scrambler stages, the second input of the first modulo-2 adder of the seventh scrambler stage VS7 is not connected to the output, but to the input, of the shift regis-

4

ter stage of the first scrambler stage VS1. The D flip-flops employed as shift register stages are charged with a clock signal whose frequency is equal to $1/7$ of the clock frequency of the digital signals to be scrambled.

FIG. 3 illustrates a 5-stage scrambler in which $n=5$ and $m=n-2=3$. The individual scrambler stages VSK1 . . . VSK5 correspond to the scrambler stage illustrated in FIG. 1, whereby the scrambled signal, after traversing the individual shift register stage, is taken at the output of the shift register stage in the same manner as that illustrated in FIG. 2. In order to produce a maximally long pseudo-random sequence, i.e. a maximum scrambler period, $m=3=n-2$ was selected. Accordingly, the second input of the first modulo-2 adder of the individual scrambler stages are connected either to the shift register output of the respective second stage to the left of the scrambler stage or to the input of the shift register stage of the third scrambler stage to the right of the scrambler stage under consideration. Also true here, therefore, is the general rule that the second input of the first modulo-2 adder of the one scrambler stage is connected to the output of the shift register of the scrambler stage for the m^{th} bit in all scrambler stages up to the $(n-m+1)^{\text{th}}$ scrambler stage, whereby m is smaller than n and is a whole number. With the $(n-m)^{\text{th}}$ scrambler stage, the connection then occurs from the second input of the first modulo-2 adder to the input of the shift register stage of the m^{th} scrambler stage; at the $(n-m-1)^{\text{th}}$ scrambler stage, correspondingly, the connection occurs to the shift register stage of the $(n-1)^{\text{th}}$ scrambler stage.

The self scrambler does not fall into an undesired short period, the third modulo-2 adder whose free input is connected to a recognition circuit for the short periods can be connected between the first and second modulo-2 adders. A suppression of pulse peaks also occurs here by taking the scrambled signal at the output of the shift register stage. The shift clock signal T2 for the D flip-flops employed as shift register stages is generated by frequency division, whereby the frequency of the shift clock T2 is $1/5$ of the bit clock frequency of the digital signals to be scrambled.

Although I have described my invention by reference to particular illustrative embodiments thereof, many changes and modifications of the invention may become apparent to those skilled in the art without departing from the spirit and scope of the invention. I therefore intend to include within the patent warranted hereon all such changes and modifications as may reasonably and properly be included within the scope of my contribution to the art.

I claim:

1. A self-synchronizing scrambler comprising n parallel scrambler stages each comprising a first modulo-2 adder and a second modulo-2 adder connected in series and a clock shift register stage, including n parallel inputs for respective ones of n bits arriving in parallel of a digital signal to be scrambled, the inputs being ordered corresponding to the sequence of the incoming bits with the n^{th} bit applied to the first input and the following bits applied in succession to the remaining inputs in each scrambler stage, one input of the second modulo-2 adder representing the signal input and the output of the second modulo-2 adder representing the signal output, characterized in that, for the generation of the scrambled signal having a scrambler period of $2^n - 1$ bit, one shift register stage is provided in each scrambler stage and therefore n shift register stages are provided in

5

total; in that the output of the shift register stage (SR) is connected to the first input of the first modulo-2 adder (A1) and its output connected to the first input of the second modulo-2 adder (A2); in that the second input of the second modulo-2 adder (A2) is connected to the assigned input for the digital signal; in that the output of the second modulo-2 adder (A2) is connected to the input of the shift register stage (SR) contained in the same scrambler stage; in that the second input of the first modulo-2 adder (A1) of the one scrambler stage is connected to the output of the shift register stage of the scrambler stage for the m^{th} bit in all scrambler stages up to the $(n-m+1)^{th}$ scrambler stage; in that m is smaller than n and is a whole number; in that, in the $(n-m)^{th}$ scrambler stage the connection from the second input of the first modulo-2 adder is to the input of the shift register stage of the n^{th} scrambler stage and, correspondingly, from the $(n-m-1)^{th}$ scrambler stage to the $(n-1)^{th}$ scrambler stage; in that the individual bits of the

6

scrambled digital signals can be optionally taken at the inputs or at the outputs of the shift register stages; and in that the clock inputs of the shift register stages are connected to a source for a clock signal whose frequency is the $1/7$ -fold portion of the bit clock frequency of the digital signal.

2. The scrambler of claim 1, wherein n is seven and further comprising:

a source of serial data signals; and

a series-to-parallel converter including an input connected to said source and seven outputs each connected to a respective signal input.

3. The scrambler of claim 1, wherein n is five, and further comprising:

a source of serial data signals; and

a series-to-parallel converter including an input connected to said source and five outputs each connected to a respective signal input.

* * * * *

20

25

30

35

40

45

50

55

60

65